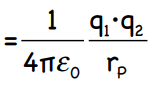
**1 - Electricidad y magnetismo**

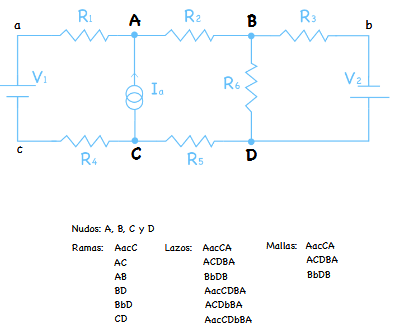
* **Ley de Coulomb:** F1 = K\* , siendo u21 un vector unitario. Causa que las cargas de mismo signo se repelen.
* **Campo eléctrico:** Existe un campo eléctrico E en una región del espacio si sobre una carga se ejerce una fuerza eléctrica F (E=F/q)
  + **Principio de superposición:** Fj =
  + Una carga positiva se mueve en la dirección del campo eléctrico.
* **Flujo eléctrico:** Número de líneas de campo que atraviesan una superficie.
  + **Ley de Gauss:** El flujo en una superficie cerrada es proporcional a la carga en esa superficie. Q/ε0
* **Trabajo:** Dado un campo eléctrico generado por q1, el trabajo necesario para traer una carga q2 desde el infinito a un punto P.
* **Potencial:** W/q2.
  + Una carga positiva se mueve hacia zonas de menor potencial eléctrico
  + **E = -**
* **Capacidad:** Relación entre carga y potencial. 1F = 1C/1V
  + En un condensador plano, C es directamente proporcional al área de las placas, e inversamente proporcional a la distancia que las separa.
* **Potencia:** Energía consumida por unidad de tiempo. p(t) = i(t)v(t)
  + p>0 indica absorción de energía (pérdidas), p<0 indica entrega
  + En una resistencia p>0 siempre, en un coindensador o bobina cambia entre positivo y negativo periodicamente.
  + La potencia media es la potencia media consumida a lo largo de un ciclo. En un condensador o bobina será 0, en una resistencia será VmIm/2

f

**2 - Teoría de circuitos**

**Introducción**

* **Densidad de corriente (j)**: magnitud vectorial que expresa la dirección, sentido y cantidad de cargas que atraviesan un conductor por unidad de área y tiempo. j=σE
* **Intensidad de corriente:** flujo de corriente a través de un conductor por unidad de tiempo. I = jS (sección)
* **Ley de Ohm:**. Entonces, R es constante.
* Las fuentes de tensión llevan una resistencia pequeña en serie, las fuentes de corriente llevan una resistencia alta en paralelo.
* Cortocircuito: tensión a 0, Circuito abierto: corriente a 0

**Topología de circuitos**

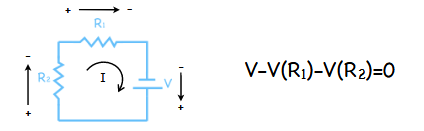
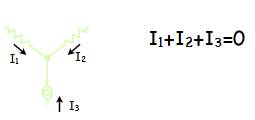
* **Red:** sistema de conductores que forman un circuito cerrado
* **Nudo:** Punto en el que confluyen 3 o más elementos
* **Rama:** Conjunto de elementos entre dos nudos
* **Lazo:** Conjunto de ramas que forman un camino cerrado
* **Malla:** Lazo que no contiene otro lazo en su interior

**Asociación de resistencias y condensadores**

* **En serie:** , . Intensidad igual
* **En paralelo:**, . V igual

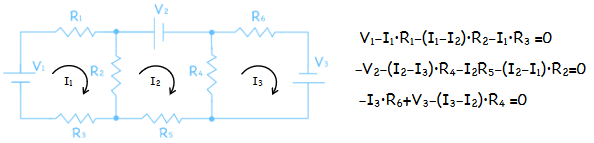
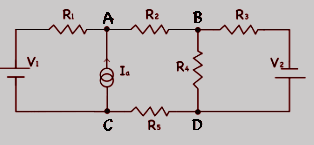
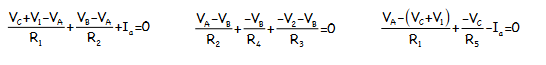
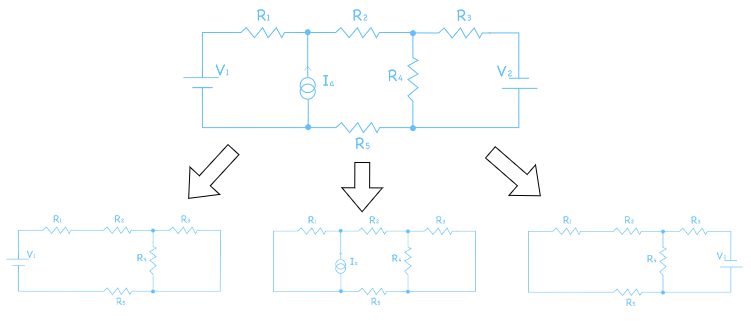
**Leyes de Kirchhoff**

* **Ley de los nudos:** La suma de corrientes que concurren en un nudo es 0. Las corrientes que van hacia el nudo son positivas, las que salen negativas.
* **Ley de las mallas:** La suma de subidas y caídas de tensión en una malla es 0. (caídas de tension se ponen negativas)



* Aplicándolas sobre un circuito se obtiene un sistema de ecuaciones.

**Análisis de circuitos mediante Kirchhoff**

* Se necesitan tantas ecuaciones como incógnitas. Se pueden utilizar la Ley de Ohm y las leyes de Kirchhoff.
* **Método de las mallas:**
  + ****
  + En las resistencias que son parte de dos mallas se realiza la suma o resta de las corrientes (ver I1-I2)
  + Se asigna a cada malla una corriente de sentido arbitrario
  + Se aplica la ley de las mallas en base a las corrientes definidas
  + Si el circuito tiene generadores de corriente (ver circuito abajo):
    - Se toma el voltaje que pasa por el generador como una incógnita, Va. Entonces, quedarán más incógnitas que ec.
    - Si el generador está en una rama compartida (ver circuito de abajo, obtenemos la última ecuación: Ia = I2 - I1
* **Método de los nudos:**
  + ****tomando VD = 0 
  + Para un circuito de N nudos se busca obtener N-1 ecuaciones
  + Se propone un nudo de referencia cuyo voltaje se toma como 0 y al resto de nudos se les asigna una tensión con respecto al de referencia
  + Los elementos en una misma rama se pueden cambiar de orden entre si
  + La pila causa un aumento de tensión, en la R1 hay un voltaje de Vc+V1
  + Si existe una rama sin ninguna resistencia (ej: si se elimina R1), se toma la intensidad por esa parte como incógnita I1.
    - Se puede obtener la ecuación adicional V1 = Vc - Va
* **Método de superposición:**
  + Se divide el circuito en tantas partes como tenga fuentes (de intensidad o voltaje) y luego se suma la intensidad y voltaje en cada zona del circuito.
  + 
  + Al eliminar una fuente de voltaje se cierra el circuito (se completa con cables), al eliminar fuente de corriente se deja abierta.

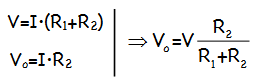
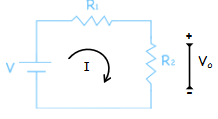
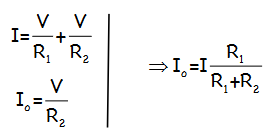
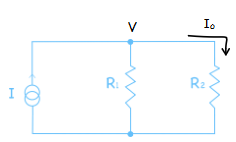
**Teorema de Thévenin[[1]](#footnote-0) I**

* Todo circuito de generadores y resistencias con dos salidas A y B puede sustituirse con un generador de tensión **VTH** en serie con una resistencia **Req**
  + La **tensión equivalente** (VTH) es la diferencia de tensión que se mide en circuito abierto entre A y B
    - Se calcula con el método de las mallas (la intensidad de la malla abierta es 0)
  + La resistencia es la que se mide entre A y B con los generadores a 0
    - Se calcula con asociación de resistencias

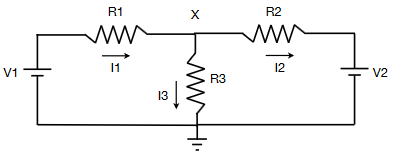
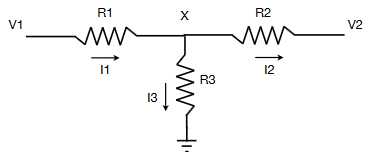
**Teorema de Norton**

* Toda red de generadores y resistencia con dos salidas A, B puede sustitituirse por un generador de corriente **IN** en paralelo con una resistencia **Req**
  + La **corriente de Norton** (IN) es la que pasa entre las terminales en cortocircuito
  + La resistencia es la que se mide entre A y B con los generadores a 0
* **VTH****= IN x Req**

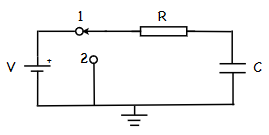
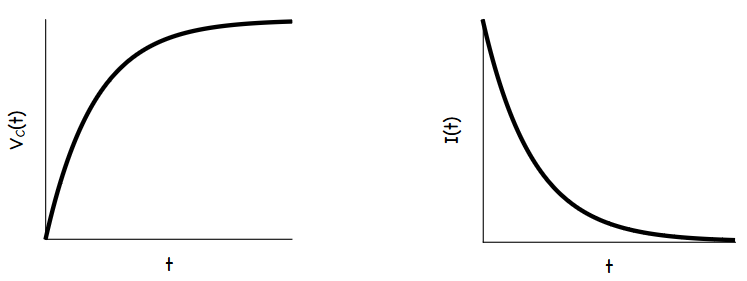
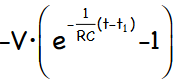
**Partidores**

* Circuito particular que se utiliza para dividir tensión o corriente
* De tensión[[2]](#footnote-1):
* De corriente: 

**Representación alternativa**

*  --> 

**Carga de un condensador**

* (½ es un conmutador)
* En el instante t1, el condensador está descargado y el conmutador en posición 1. Comienza a circular corriente y el condensador se carga.
  + **NOTA:** un condensador descargado no ofrece resistencia a la corriente
* Vc(t)=, I(t)= 

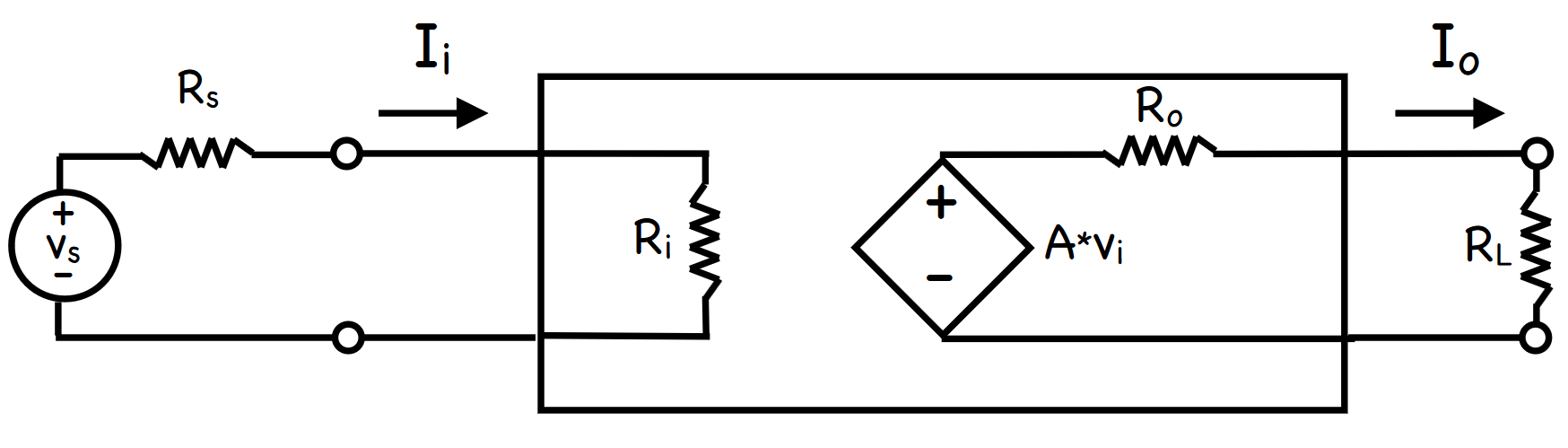
**Descarga de un condensador**

* Inicialmente el condensador está cargado, Vc(t2)=V.
  + **NOTA:** Un condensador cargado funciona como un circuito abierto.
* Posteriormente, 0=-VR(t) + Vc(t), vR(t)=I(t)R

**3 - Sistemas electrónicos**

* **Amplificadores:** incrementan la intensidad de una señal
* **Filtro:** eliminan las señales no deseadas (ruido)
* **Osciladores y conformadores de onda:** generan/cambian forma de señal
* **Conversores:** cambian dominio de señal (digital/analógica)

**Amplificadores**

* (Vs:entrada, V0:salida)
* Tres parámetros:
  + **Ganancia (A):** Relación entre amplitud de entrada y salida
  + **Impedancia de entrada / salida (Ri / Ro)**: Modelan pérdidas producidas en la entrada y la salida
    - Rs es parte de la fuente y produce pérdidas, que se intentan modelar con Ri. VRI = Vs
    - Ro modela las pérdidas producidas en RL, que representa el componente conectado a la salida del amplificador.
    - . Si Ri>>Rs y Ro<<RL, 
      * A es la ganancia en tensión en circuito abierto

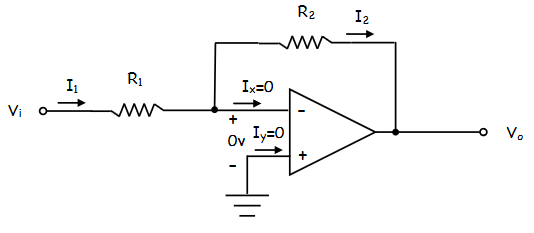
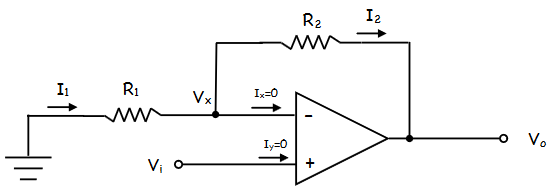
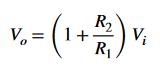
**Tipos de amplificadores**

* Amplificador de tensión: Ri alto, Ro bajo en serie
* Amplificador de corriente: Ri bajo, Ro alto en paralelo
* Amplificador de transconductancia: Toman tensión de entrada y modifican corriente de salida. Ri alto, Ro alto en paralelo
* Amplificador de transresistencia: toman corriente y modifican voltaje de salida. Ri bajo, Ro bajo en serie
* (Si reciben tensión Ri alto, si reciben corriente Ri bajo, si sacan tensión R0 bajo, si sacan corriente Ro alto)

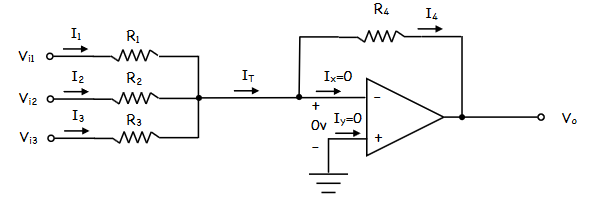
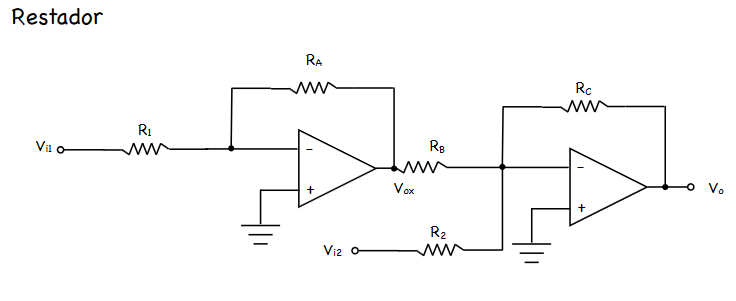
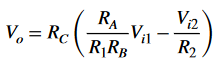
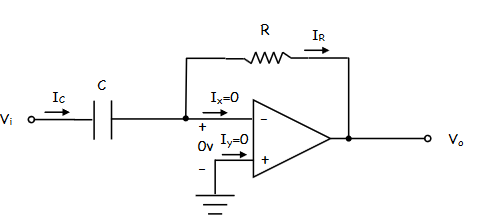
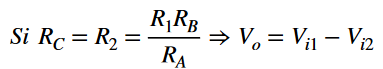
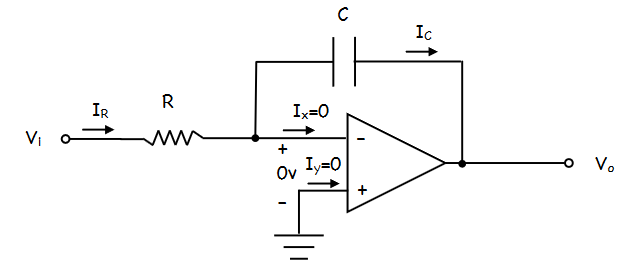
**Amplificador operacional**

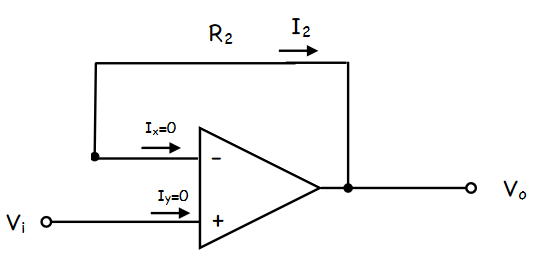
* Amplificador de tensión con ganancia de 2x105
* Idealmente, Ri=inf, R0=0.

**Amplificador operacional** con retroalimentación negativa

* Se conecta la salida a la entrada inversora (-). Parte de la salida se sumará (es negativa, por lo que se reduce) a la entrada.[[3]](#footnote-2)
  + Permite evitar llegar al ‘límite’ de tensión del amplificador
* **Configuración inversora:** Vi en parte negativa
  + Si se trata de un amplificador ideal, Ri=inf, Ix=Iy=0[[4]](#footnote-3).
  + Además, dado que Av0=inf, y Vx = V0/A, Vx=0. Se conoce como **cortocircuito virtual**.
  + Si Ix=0, entonces I1 = I2.
  + Resultado: . La señal de salida estará invertida.
* **Configuración no inversora:** Vi en parte positiva
  + Por cortocircuito virtual, Vx=Vi(!=0)
  + 

**Variantes de circuitos operacionales (inversora)**

* **Sumador inversor:** Utiliza el principio de superposición para sumar varias tensiones y luego invertir y amplificar el resultado.
  + 
  + Si todas las resistencias son iguales a R4, la suma será directa (pero cambiada de signo)
  + Para crear un sumador no inversor se añade un inversor[[5]](#footnote-4) al final.
* **Restador:** 
  + Invierte Vi1, súmalle Vi2 e despois invirte o resultado (un inversor e un sumador inverso)
  + . 
* **Derivador:** Se sustituye la primera resistencia por un condensador
  + 
* **Integrador:** Se sustituye la segunda resistencia por un condensador
  + 

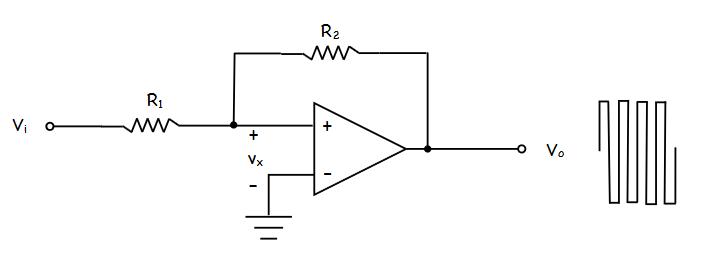
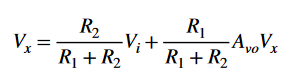
**Variantes de circuitos operacionales (no inversora)**

* **Seguidor de tensión:** Sin resistencias R2 ni R1. Mantiene la tensión constante (Vi=Vo)

**Osciladores**

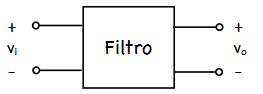
* Sistema que oscila entre dos estados.
  + Biestable: Presenta dos salidas estables(ej: comparador, puerta lógica)
  + Astable: Oscila entre dos valores de salida, ninguno estable (ej: CLK)
  + Monoestable: Presenta un estado estable y otro inestable que se mantiene un tiempo limitado (ej: alarma)
* Se pueden implementar con amplificadores operacionales con realimentación positiva

**Amplificador operacional con realimentación positiva (biestables)**

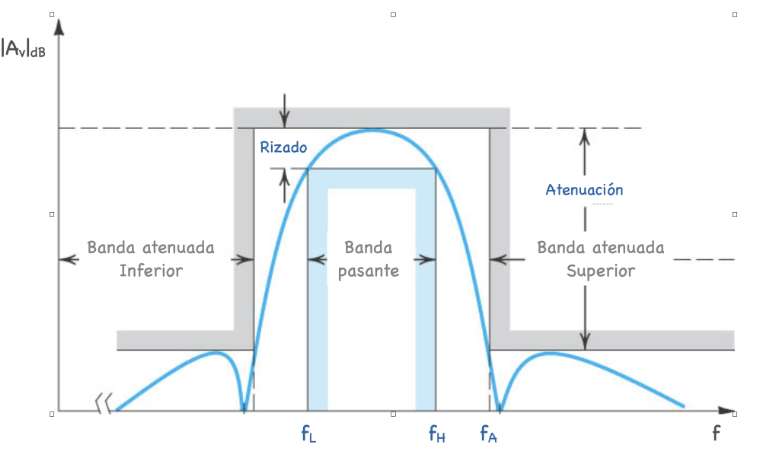
* Se conecta la entrada no inversora (+) a la salida
* Parte de la salida se suma a la entrada, llevando a una conf. inestable
* I1=I2, pero no hay principio de cortocircuito virtual.
  + .
  + Vx aumenta continuamente hasta saturar el amplificador. Funciona como un biestable.
    - Si el amplificador se satura con 15V, la señal de salida alterna entre 15V y -15V.
* **Conf. inversora:** Se conecta vi a la parte negativa, y la toma de tierra a la positiva (R1 sigue en la parte positiva).

**Señal eléctrica**

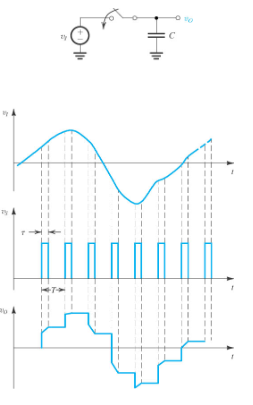
* Cualquier función periódica (ej: señal eléctrica) se puede aproximar por una suma ponderada de sinusoidales (a\*sen(wt)), denominada **serie de Fourier**
* En corriente alterna, se considera que v(t) = Vm\*sen(ωt). **NOTA:** ω = 2\*pi\*f
* Debido a la presencia de condensadores, la ganancia de un amplificador puede variar con la frecuencia.
  + Aprovechando esto se pueden realzar o atenuar frecuencias concretas, creando filtros.

**Filtros**

* Permite realzar o atenuar determinadas frecuencias
* |Av(f)| = . En decibelios, |Av(f)| = 20\*log.
* **Tipos de filtros:**
  + Pasa baja: |Av| alto para frecuencias por debajo del umbral
  + Pasa alta: |Av| 0 para frecuencias por debajo del umbral
  + Pasa banda: |Av| alto para frecuencias dentro de un intervalo
  + Rechazo de banda: |Av| 0 para frecuencias dentro de un intervalo
* Los filtros **pasivos** utilizan bobinas, que son difíciles de integrar y producen poca ganancia. Los filtros **activos** utilizan amplificadores operacionales.
* Ambos tipos de filtros afectan también a la fase de la señal de entrada, lo que puede llevar a un desfase proporcional a la entrada que se debe corregir.

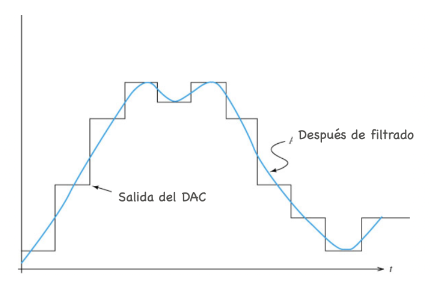
**Especificaciones de un filtro**

* Frecuencia de corte superior **(fH)**: Frecuencia a partir de la cual se atenúa la frecuencia (caida en ganancia en tensión de 3 dB)
* Frecuencia de corte inferior **(fL):** Frecuencia antes de la cual se atenúa la frecuencia
* Rizado: Variación máxima de la ganancia en banda pasante
* Atenuación: Caída en ganancia de una frecuencia fA concreta respecto a la ganancia en la banda pasante.

**Conversores A/D (Analógica→digital)** aka **ADC**

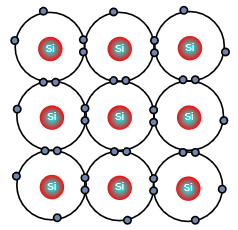
* La señal analógica se pasa antes por una etapa de muestreo y retención
  + El circuito de muestreo contiene un conmutador que se cierra durante una fracción del período de reloj.
  + Con el conmutador cerrado se lee la señal, cuando está abierto se mantiene el previo valor muestreado
  + Se toman algunos valores concretos a lo largo de un período de tiempo
* La señal de entrada se representa en binario con **N** bits. La amplitud se divide en 2N zonas, representadas por N bits.
* **Resolución del conversor (∆):** max(VA) / 2**N**
  + Cuanta mayor sea N, menor será la pérdida.
  + El error máximo será la mitad de la resolución.

**Conversores D/A (Digital→analógica)** aka **DAC**

* La entrada será una palabra digital de **n** bits d1, d2, …, dn
* Se pueden usar para **reconstruir** una señal analógica que ha sido convertida a digital para utilizarla.
  + La salida será vo = D\*Vref, donde D es el valor decimal de la entrada en binario y Vref la tensión de referencia usada para la reconstrucción de la señal analógica.
  + Respecto a la señal analógica original se produce un **error de cuantización** < **∆/**2.
    - **∆** = 2-n\*Vref
* Se suele seguir con una etapa de filtrado para aproximar mejor la señal de salida.

**4 - Electrónica de estado sólido**

**Enlaces**

* **Enlace iónico:** Un elemento cede electrones a otro. Ejemplo: NaCl
* **Enlace covalente:** Ambos elementos comparten electrones para completar sus capas externas. Ejemplo: Cl2
  + El **silicio** presenta una conf. elec. de 1s22s22p63s23p2. Necesita 4 electrones para completar su última capa, por lo que forman enlaces covalentes con otros 4 átomos de silicio.

**Teoría de bandas**

* Cuando los átomos están alejados, la estructura de bandas no se ve afectada
* Al aproximarse, los orbitales 3p y 3s se deforman, creando orbitales híbridos 3sp inestables
* Al aproximarse más y formar un enlace covalente, el orbital sp se divide en dos bandas:
  + **Banda de valencia:** Aloja a los electrones del enlace
  + **Banda de conducción:** Disociación de la banda original
    - Los electrones requieren energía para pasar de banda de valencia a conducción

**Tipos de materiales**

* La conductividad depende del gap de energía entre bandas (**E**
* **Aislante:** Gap de 5eV o más
* **Semiconductor:** Alrededor de 1eV
* **Conductor:** Próximo a 0

**Electrones y huecos**

* Cuando un electrón pasa a la banda conductiva, deja en la banda de valencia una ausencia de carga negativa (**hueco**), que actúa como aporte de carga positiva.
* Tanto los e- de la banda conductiva como los huecos en la banda de valencia se desplazan, en sentidos opuestos y a distintas velocidades (el e- más rapido)

**Generación**

* Proceso por el cual un electrón de la capa de valencia alcanza suficiente energía para pasar a la de conducción
* Puede ocurrir por:
  + Generación térmica: proceso interno causado por la red cristalina
  + Fotogeneración: producida por la transferencia de luz

**Recombinación**

* Proceso por el cual un electrón vuelve a la capa de valencia ocupando un hueco y liberando energía
  + La energía se libera en forma de calor y radiación en forma de luz (f=e/H)

**Tipos de semiconductores II**

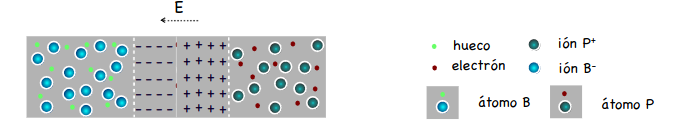
* Sea **n** la concentración de electrones en la capa de conducción y **p** la de huecos en la capa de valencia. Sea **ni** la concentración intrínseca I
* **Semiconductores intrínsecos:** **n=p=ni**
  + El movimiento de electrones se produce por generación, principalmente térmica
  + Se comporta como aislante a bajas temperaturas
* **Semiconductores extrínsecos:** n≠p, pero **n\*p=ni2**
  + **Tipo P:** p>>n
    - Se introducen átomos con un electrón menos que el del semiconductor. Ejemplo: silicio + boro
    - NA≃p → n=, en cm-3
  + **Tipo N:** n>>p
    - Se introducen átomos con un electrón más que el del semiconductor. Ejemplo: silicio + fósforo
    - NA≃n → p=, en cm-3

**Corriente en semiconductores III**

* **Corriente de arrastre:** Causada por una diferencia de potencial o presencia de un campo eléctrico.
  + Jn=σnE, Jp=σpE [[6]](#footnote-5)
  + **Conductividad(**σn,p): conductividad de electrones y huecos, respectivamente.
    - σ = q(nμn + pμp)
    - μn,p: **movilidad** Ide electrones y huecos, respectivamente
  + **Resistividad**(ρ): σ-1
* **Corriente de difusión:** Causada por la tendencia de las partículas a distribuirse de regiones de alta densidad hacia regiones de baja concentración.
  + Jp = , Jn = .
  + Dn,p son propias del material: (potencial térmico,I KT/q, VT≃25mV @ 300K)

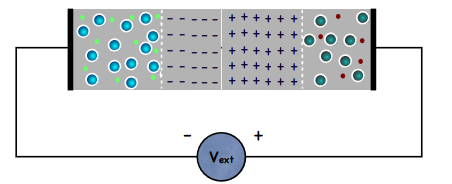
**5 - Diodo**

**Unión PN** (en equilibrio) I

****

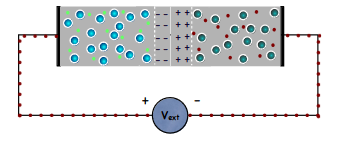
* Surge del contacto entre un semiconductor de tipo P y uno tipo N
* Se produce un fuerte **desnivel** debido al número elevado de huecos en el uno y de electrones libres en el otro
  + Los electrones se desplazan a ocupar los huecos, produciendo recombinación masiva en el centro, denominado **zona de vaciamiento**
* Cerca de la frontera se genera un campo eléctrico por la diferencia de carga, que se opone a la difusión de más carga movil.
  + La corriente de difusión y la de arrastre tienen valores muy próximos (Jd=Ja)
  + Esta oposición crea una barrera de potencial, denominada **potencial de contacto**. Los portadores mayoritarios[[7]](#footnote-6) no pueden pasar la barrera hacia el lado donde son minoritarios.

**Polarización inversa**

****

* Aplicamos un potencial externo al diodo, del mismo signo que el potencial de contacto.
* Los electrones libres en la parte N se acercan al polo + externo, por lo que la carga positiva en la zona de la frontera aumenta.
* Luego, los electrones son repelidos desde el terminal negativo de Vext, por lo que pasan a depositarse en el semiconductor P, donde se produce recombinación y alcanzan la zona de vaciamiento.
* Los huecos y electrones[[8]](#footnote-7) que aparezcan en la zona de vaciamiento serán trasladados a la región donde son mayoritarios por efecto del campo eléctrico. Este corriente es conocida como **corriente de saturación en inversa (Is)[[9]](#footnote-8)**
* Is toma un valor muy pequeño y es consecuencia de la diferencia de Ja>Jd

**Polarización directa I**

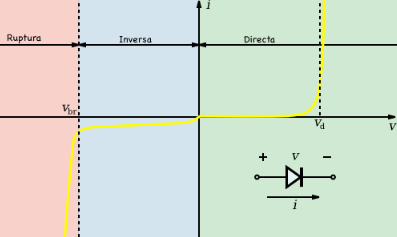
****

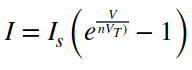
* Electrones libres viajan desde la fuente hacia la zona N hasta alcanzar la zona de vaciamiento
* Estos electrones ayudan a disminuír la carga iónica depositada, disminuyendo el potencial de contacto.
* Debido a esto, más electrones atraviesan la zona de vaciamiento y pasan a la zona P.
* Esto aumenta drásticamente el valor de la corriente de difusión: Ja<Jd [[10]](#footnote-9)

**Efecto capacitivo**

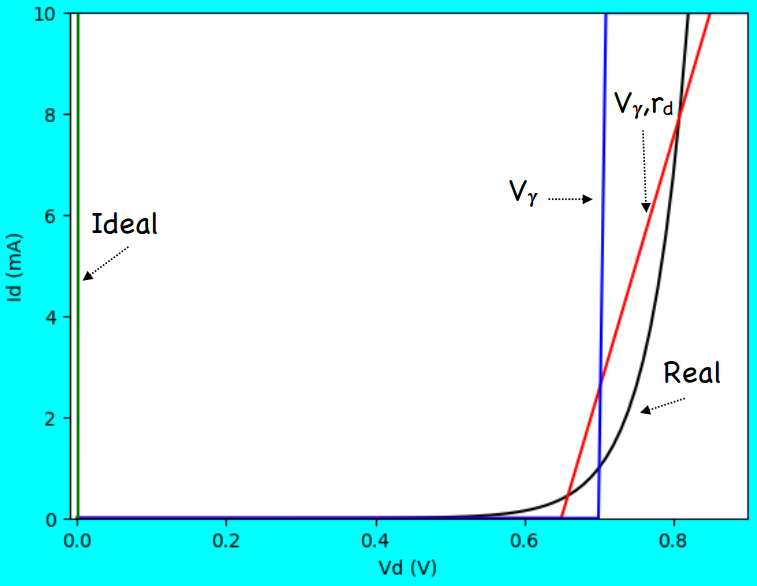
* El grosor de la región de vaciamiento y por lo tanto la carga acumulada varía según la tensión en los terminales del diodo.
* Entonces, el diodo se comporta como un condensador, cuya capacidad de vaciamiento será mayor en polarización inversa que en directa

**Curvas características**

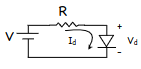


* Al aplicar un potencial externo a los terminales, el diodo responde con una relación no lineal entre dicho potencial y la corriente que lo atraviesa
* La **curva característica** (relación I-V) se corresponde con la función

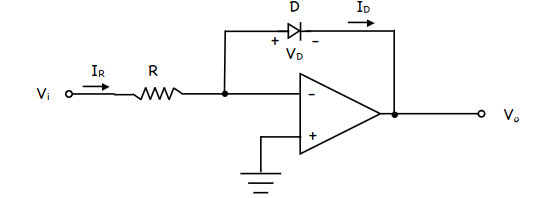
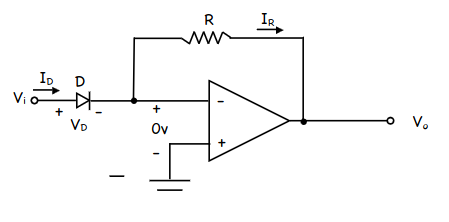
**Modelos circuitales**

* En lugar de utilizar la expresión previa, se opta por modelos circuitales que aproximan el funcionamiento del diodo para analizarlos en circuitos.
* Consiste en analizar si cada diodo está OFF o ON:
  + Si Vd<Vy, está en OFF, por lo que Id=0. Se deja abierto el circuito.
  + Si Vd>Vy[[11]](#footnote-10), está en ON
    - Si se trata de un modelo de **tensión de despegue** y el diodo está en ON, el diodo fijará la tensión a su tensión de despegue, forzando siempre que Vd=Vy
    - Si se trata de un diodo **ideal**, se ignora en el circuito.
  + Si varios diodos están en serie, para estar en ON deben estarlo todos simultáneamiente.

**Ejemplos modelos circuitales I**

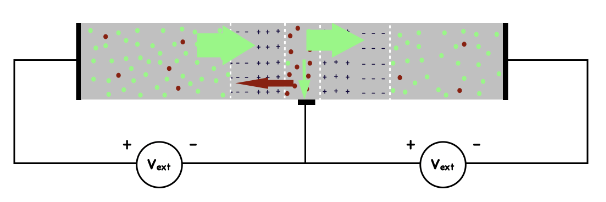
* V=5V, R=1K. Calcular V e I del diodo en:
* **Modelo de tensión de despegue (Vγ=0.65V) V**
  + Primero se determina si el diodo está en OFF o ON. Si está en OFF, Id=0, Vd=V=5V, Vd>Vγ. El diodo no puede estar OFF.
  + Al estar ON, resolvemos el circuito. El diodo fija su voltaje a Vd=0.7V, por lo que VR=4.3V y Id=4.3mA.
* **Modelo ideal (Vy = 0V)**
  + Por la lógica previa, el diodo no puede estar OFF. Vd = 0V.
  + Resolvemos el circuito. Id=IR = 5mA,

**Variantes de amplificador operacional inversor** con diodos

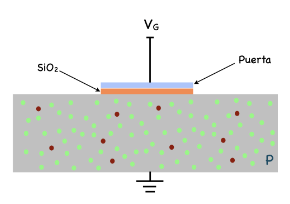
* **Logaritmo:** Asumiendo que Vi>0[[12]](#footnote-11)
  + IR=ID
  + . Fórmula obtenida de modelo exponencial de diodo.
* **Exponencial:**
  + IR = ID
  + 
* Mediante estos circuitos es posible construir un multiplicador (dixo que non entraba)

**6 - Transistor**

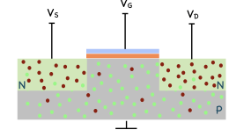
**Transistor bipolar**

****

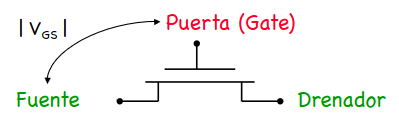
* Creamos una unión PN y añadimos otro semiconductor tipo P, produciendo 2 diodos enfrentados
* Polarizamos uno en directa y otro en inversa
  + En el diodo en directa se produce un trasvase de portadores de donde son mayoritarios a donde son minoritarios, en el otro no ocurre nada
* Dopamos el semiconductor de la izquierda más. Esto produce que e el nº de huecos sea mayor y que se produczca mayor flujo de huecos que electrones. Los huecos pasan al semiconductor del medio y se recombinan.
* Ahora, hacemos que el semiconductor del medio sea más estrecho. Ahora, en lugar de recombinarse, la mayoría de huecos que llegan al medio continúan y son arrastrados al semiconductor de la derecha.
  + Con estos cambios, en lugar de no producirse nada en el transistor en inversa, ahora se produce una corriente que fluye por los terminales laterales.
* El dispositivo creado se denomina **transistor bipolar (BJT)**
  + Las tres regiones que posee se denominan base, emisor y colector. La corriente que se aplica sobre la base permite regular el flujo de corriente entre emisor y colector.
  + El transistor bipolar se puede utilizar para crear dispositivos como amplificadores o inversores

**Estructura MOS I**

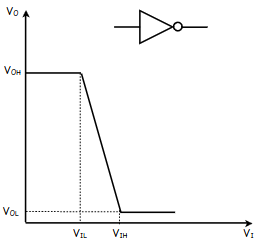
* Partimos de un semiconductor intrínseco y se dopa para hacerlo extrínseco.
* Situamos en la parte de arriba una capa de óxido, y encima una capa metálica denominada puerta
* Si aplicamos una tensión VG sobre la puerta, el semiconductor reaccionará según el signo y valor de la tensión:
  + **VG<0:** Se deposita carga negativa sobre la puerta y se induce positiva al otro lado. El material se carga de forma similar a un condensador
  + **VG>0:** Se deposita carga positiva sobre la puerta.
    - Se debería inducir carga negativa al otro lado, pero al ser semiconductor tipo P, no se puede compensar por completo, produciendo un campo eléctrico que repelerá los huecos del semiconductor.
    - Aparece una capa de vaciamiento de carga iónica negativa desde la superficie del semiconductor.
  + Si sigue aumentando VG, aumentará el campo eléctrico y se comenzarán a romper enlaces, por lo que la concentración de electrones libres aumenta.
    - Estos electrones se acumularán bajo la puerta, compensando parcialmente la carga. Se denomina modo de inversión.

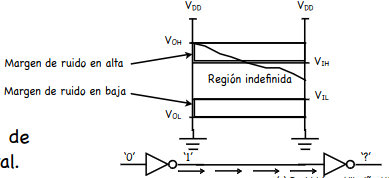


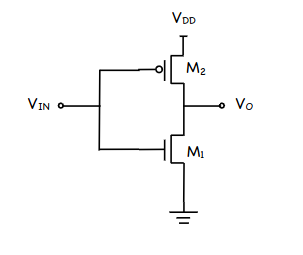
**Transistor MOS**

* Tomamos una estructura MOS y dopamos ambos lados de la puerta para crear dos regiones semiconductoras de tipo N. La de la izquierda se denomina **fuente** y la de la derecha se denomina **drenador**.
  + Equivalente a dos diodos conectados en sentidos opuestos
* En este circuito no fluye corriente entre la fuente y el drenador, a no ser que se aplique un potencial lo suficientemente alto a la puerta. (**VG > VTH**)
  + Si se aplica este potencial, aparece un canal entre el drenador y la puerta por los electrones mencionados en el modo de inversión.
* De esta forma, se produce un efecto de transistor. El dispositivo se denomina **Transistor NMOS[[13]](#footnote-12)**
  + Abierto funciona como un interruptor abierto. Cerrado funciona como una **resistencia** de valor **RON**.
  + Un Transistor **PMOS** es idéntico pero con la puerta invertida.
* La corriente entre fuente y drenador sigue la siguiente fórmula: **ID=f(W/L)**
  + Siendo W la anchura del canal y L la longitud.

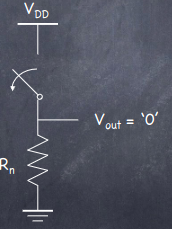
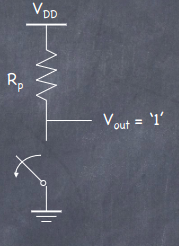
**7 - Métricas de calidad**

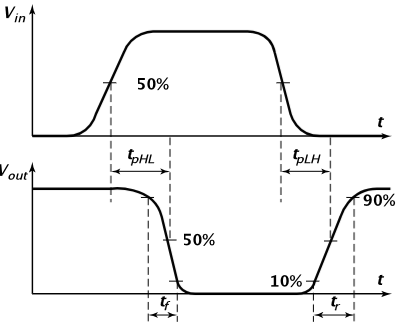
**Fiabilidad y robustez III**

* La curva **VTC** (voltage transfer characteristic) representa Vo respecto a Vi para un componente. Permite describir el comportamiento ideal y real de un componente.
* **VOH**: Nivel alto de salida
* **VOL:** Nivel bajo de salida
* **VIL:** Valor máximo de entrada interpretado como 0
* **VIH:** Valor mínimo de entrada interpretado como 1
  + VIL y VIH se consiceran como los puntos con pendiente -1
* **NML**: Margen de ruido en baja: VIL-VOL
* **NMH:** Margen de ruido en alta: VOH-VIH
* Cuanto mayores sean los márgenes de ruido, más robusto será el circuito.

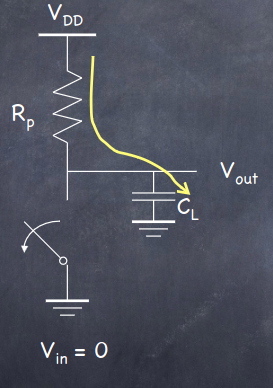
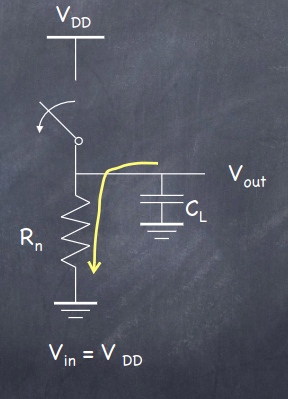


**Inversor CMOS**

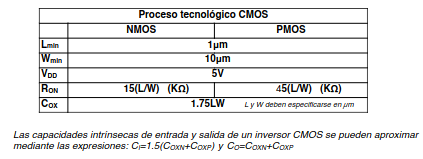
* VOH = VDD (voltaje de alimentación), VOL=0. Márgenes de ruido elevados
* **Rn = Kn\*Ln/Wn, Rn = Kp\*Lp/Wp,**
  + Es decir, la resistencia ofrecida es dir.prop. a la longitud del transistor e inversamente a la anchura. K es una constante propia del transistor.

**Velocidad**

* **Retardo de propagación alta-baja(tpHL)**: Tiempo desde que la entrada alcanza el 50% del valor alto hasta que la salida conmuta en un 50%.
* **Retardo de propagación baja-alta(tpLH):** Tiempo desde que la entrada alcanza el 50% del valor bajo hasta que la salida conmuta en un 50%.
* Se define el **retardo de propagación** como **tp** = (tpHL+tpLH)/2

**Retardo en un circuito**

* La capacidad **CL** representa la capacidad de salida de este inversor sumada a las capacidades de entrada de todas las puertas a la que va conectada.
* La carga y descarga de CL, como si fuese un condensador, determinará los retardos del circuito. Sustituyendo en la fórmula, obtenemos:
  + **tPLH = ln(2)RPCL**
  + **tPHL = ln(2)RNCL**
* Buscamos que los retardos sean simétricos, por lo que buscaríamos que Rp=Rn=R. Entonces, **[[14]](#footnote-13)**
* Conclusiones:
  + **tp** es directamente proporcional a **CL**, y CL aumentará cuanto más puertas lógicas estén conectadas (y cuanto mayor sea su CI)
    - Definimos **fan-out** como el nº de puertas conectadas a la salida de la puerta conectada. A mayor fan-out, mayor retardo.
  + **tp** es también directamente proporcional a R, por lo que debemos minimizarla. Para esto:
    - Debemos minimizar **Ln** y **Lp** (llegado cierto punto es imposible)
    - Maximizar **Wn** y **Wp** (sin embargo, aumentar W también aumenta la CO del transistor, por lo que dependerá del caso si merece la pena aumentar W o no)

**Ejemplo: Obtener retardos de un inversor**

* Sea un inversor CMOS con carga CL=200pF. Dadas las especificaciones, calcular los retardos.
* Se debe asegurar que sea **simétrico** (Rp=Rn). Se consideran los valores mínimos de L posibles y se calcula el W necesario para asegurar la simetría.
  + Lp=LN=1μm, Wn=10μm, Wp=30μm. Para estas dimensiones, RN=Rp=1.5K
* Se calculan las capacidades con las expresiones dadas.
* Teniendo en cuenta que RN=RP, conocemos que tp=tPHL=tPLH = ln(2)\*R\*(CO+CL).

**Consumo de potencia**

* **Potencia media:** Marca principalmente la vida de la batería
* **Potencia instantánea (picos de potencia):** determina el diseño del cableado y afecta a los márgenes de ruido y a la fiabilidad de resistencia

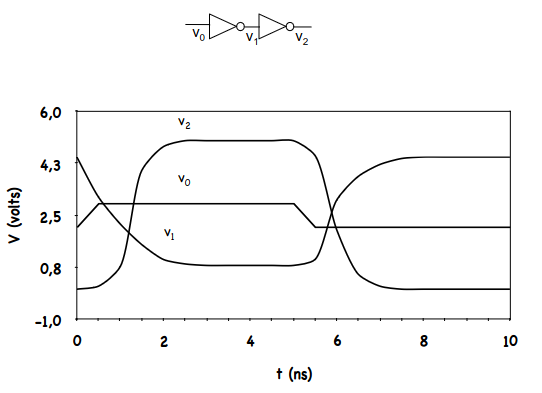
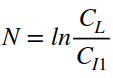
**Consumo de un circuito II**

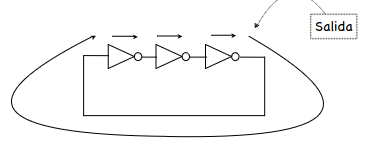
* ****

(potencia dinámica, 90%) (potencia de cortocircuito, 8%) (potencia estática, 2%)

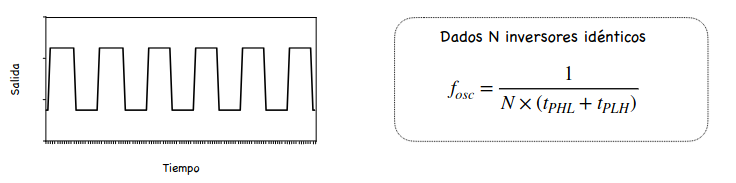
* Para disminuir el consumo de potencia dinámica (transición entre estados), se deben disminuir **CL** (fanout), **VDD**(tensión de alimentación) y **fo** (frecuencia)
* La potencia de cortocircuito (transición entre estados, cuando hay corriente entre alimentación y tierra) depende principalmente del **fanout:** cuanto mayor sea el fanout, menor será la potencia (cuanto más fanout mejor, es inverso a en la potencia dinámica)
  + Aun así es mejor fanout pequeño porque PD es más significativa
* La potencia estática (fugas) depende principalmente del proceso de fabricación

**Inversores en cascada**

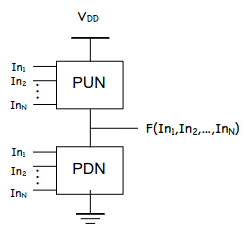
* La unión de dos inversores CMOS es útil por su **propiedad regenerativa:** permite que una señal perturbada converja al nivel de tensión normal
* En ocasiones, utilizar varios inversores también permite **reducir los retardos**, pues puede ser más fácil cargar paso a paso una capacidad CL que cargarla de golpe en un único paso (ejemplo de escalar muro/subir con escaleira)
  + Si para un inversor CL >> CO, tp=tPHL=tPLH=ln2RCL.
    - Aumentar W para este transistor aumentará su CO (lo cual no es demasiado relevante) pero también aumentará su CI, perjudicando al resto del circuito.
    - La **CL** de un inversor k es **COk + CI(k+1)**
* Por lo tanto, en lugar de modificar su W añadimos otros dos inversores, tales que el segundo es s veces más grande que el primero y el tercero es s2 veces más grande que el primero.
* Si el escalado es ideal, .
* Sumamos sus tiempos de retardo. Para N inversores, asumiendo un escalado ideal, 
* Para calcular el nº de escalones N que minimiza el retardo, derivamos la expresión en función de N. Asumiendo pequeño el retraso de la primera etapa, obtenemos:
*  (N: nº de etapas óptimo)
* En una situación real tomaremos s y N enteros, y no se cumplirá que el escalado sea ideal. Se redondeará N al número entero más próximo[[15]](#footnote-14) .
  + S debe estar entre 2 y 5.

**Oscilador en anillo**

* Un lazo cerrado de un número **impar** de inversores proporciona un **oscilador digital**.



**8 - Circuitos lógicos combinacionales**

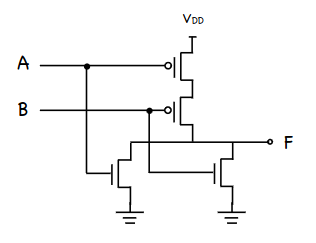
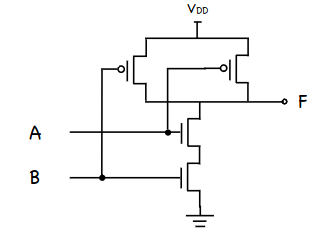
**Lógica CMOS complementaria IV**

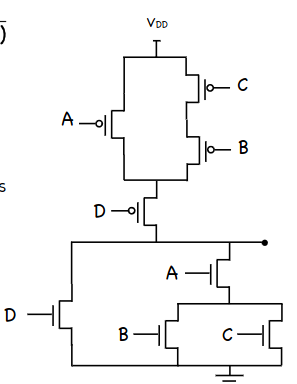
* Extensión del inversor CMOS. Permite construír funciones lógicas.
* Constituido por dos bloques de transistores:
  + **Pull-Up Network (PUN):** Bloque superior de transistores PMOS
  + **Pull-Down Network (PDN):** Bloque inferior de transistores NMOS
* Al crear funciones lógicas con tecnología CMOS:
  + Una conexión en serie en el bloque PMOS corresponde con una en paralelo en el bloque NMOS, y viceversa
    - Tras elaborar uno de los bloques, el otro será una copia con las conexiones en serie cambiadas por paralelo y viceversa. Se recomienda empezar por el bloque N.
  + Las puertas en lógica complementaria incluyen una **inversión**, por lo que la salida será negada
* Al leer una función lógica a partir de un circuito, se lee la parte NMOS, se considera en serie →AND y en paralelo →OR, y se niega la función completa final.
* Propiedades:
  + Fiabilidad: salidas siempre bien definidas
  + 2 transistores por entrada (PMOS y NMOS)
  + Transistores en serie más lentos que en paralelo

**Implementación puertas lógicas**

* Transistores NMOS en serie o PMOS en paralelo implementan (parcialmente[[16]](#footnote-15)) una función NAND
* Transistores NMOS en paralelo o PMOS en serie implementan (parcialmente) una función NOR

**Implementación puertas lógicas** pero ben feita

* Se añaden transistores adicionales que vayan a tierra, garantizando que la salida se fija a 0 cuando es necesario.
* **Puerta NAND:** **Puerta NOR:**

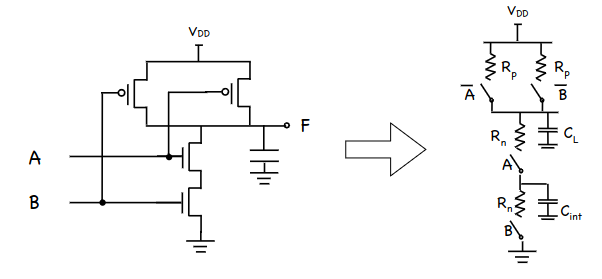
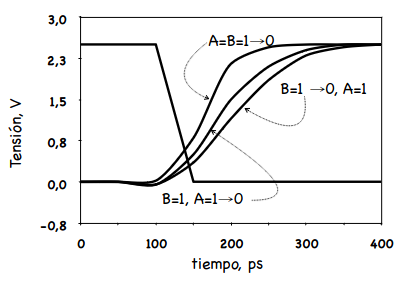


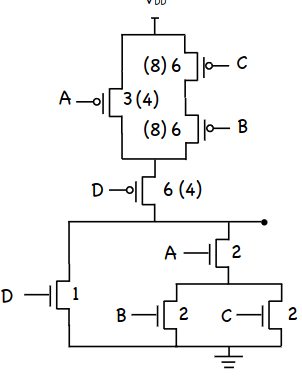
**Ejemplo:**

* Bloque P en parte superior, N en inferior
* Se realiza la función por partes:



**Retardos de propagación**

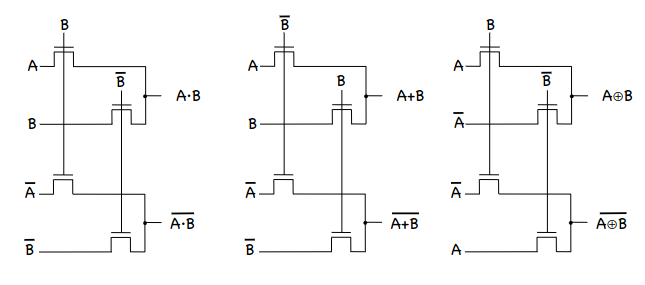
* Tomando como referencia la siguiente puerta NMOS de dos entradas:
* El retardo de propagación dependerá de la transición que se produzca:
  + Ambas entradas de baja a alta: **tpLH** 0.69 \* Rp/2 \*CL
    - Debido a que hay dos resistencias en paralelo, proporcionando dos vías para cargar el condensador, por lo que es más rápido.
  + Una entrada de baja a alta: **tpLH** 0.69 \* Rp \*CL
  + Ambas entradas de alta a baja: **tpHL** 0.69 \* Rp\*2 \*CL
* **Conclusión:**
  + Añadir transistores en serie ralentiza el circuito.
  + Las entradas más lentas deben estar próximas al nodo de salida.

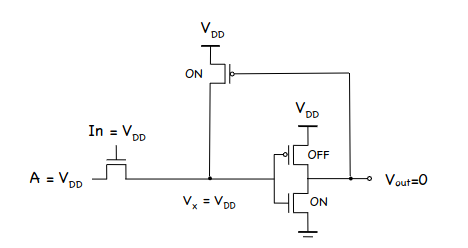
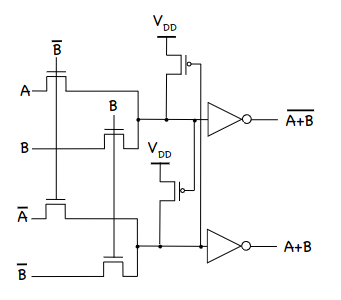
**Dimensionado de transistores** para obtener retardos simétricos

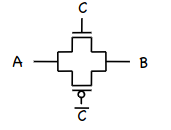
* Partimos de que todos los transistores tienen s=1.
* Se busca que los retardos sean **simétricos**, y similares en los peores casos a los del inversor.
* Calculamos los peores casos de retardo tanto para 0→1 como para 1→0, estudiando tpLH y tHL en los caminos más largos (con mayor resistencia entre los puntos)
  + Ejemplo: En el siguiente circuito, el peor caso ‘0’-->’1’ (parte superior PMOS) es el camino que toma C,B,D en serie.
  + R=RD+RB+RC=(2R/s)+(2R/s)+(2R/s)= 6R/s[[17]](#footnote-16)
* Calculamos, para cada resistencia, el valor de **s** que hace que la resistencia sea igual a **R[[18]](#footnote-17)**. En el caso anterior, C,B y D toman aumento **s=6**.
* Una vez se calculan los peores casos absolutos, se consideran los peores casos que involucran a cada transistor, hasta tener el escalado de todos.
  + Ejemplo: Calcular sA en la parte PMOS. RpA+RpD<=R. El valor mínimo de sA que cumple esto es s=3.
* En este caso, se pueden tomar aumentos distintos (entre paréntesis) que resultan en la misma resistencia, pero es más eficiente
  + Si se colocan los elementos de menor capacidad más próximos a la fuente, se reducen los retardos.

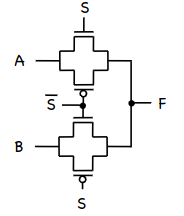
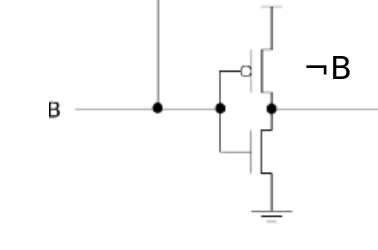
**Fan-out / Fan-in**

* **Fan-out:** Número de puertas conectadas a la salida de una puerta
* **Fan-in:** Número de puertas conectadas a la entrada de una puerta
  + Afecta significativamente a **tpHL**, con una función cuadrática en el peor caso.
  + Se deben evitar conectar más de 4 puertas a la entrada de una puerta

**Lógica de transistor de paso complementaria (CPL) II**

* Se obtiene simultáneamente la complementaria de cada salida
* Las puertas básicas tienen todas la misma estructura, sólo cambian las entradas
* Lógica compacta
* **Inconvenientes:**
  + Las NMOS transfieren un ‘0’ fuerte y un ‘1’ débil
    - Siendo VTh la tensión umbral del transistor y VDD la tensión en caso de ‘1’, en caso de ‘1’ la la salida del transistor será VDD-VTh. Dependiendo de los márgenes de ruido del inversor, este valor puede no ser reconocido como ‘1’. Se pierde un valor de VTH en cada transistor.
  + PMOS transfiere un ‘1’ fuerte y un ‘0’ débil
* **Soluciones:**
  + Usar transistores con VTH=0 (non é boa! sensibles ao ruido!)
  + Utilizar un lazo de realimentación I: En caso de ‘1’, se activa un transistor que conoecta VDD con la salida del transistor a corregir, fijando la tensión a VDD y evitando pérdidas.
    - Ejemplo: AND/NAND en CPL con realimentación



* + Usar puertas de transmisión:
    - Combinando los dos tipos de transistores, se complementan. En caso de ‘1’ lógico funciona el PMOS, en caso de ‘0’ el NMOS. De esta forma, se evitan las pérdidas.
    - Ejemplo de uso: multiplexo. Si S=’1’ F=A, si S=’0’ F=B.
* **Nota:** esta peza, por si misma, funciona como un inversor creo

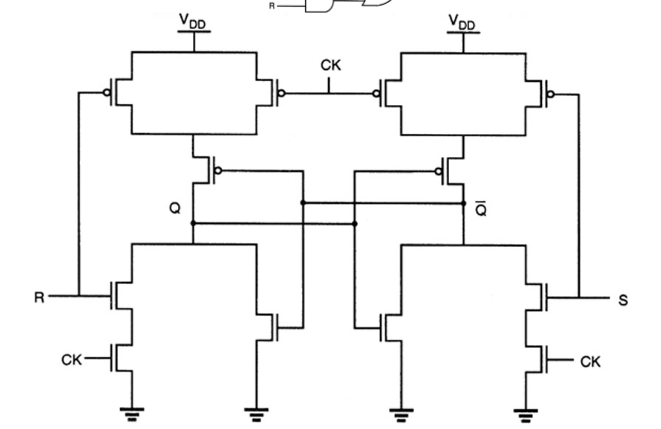
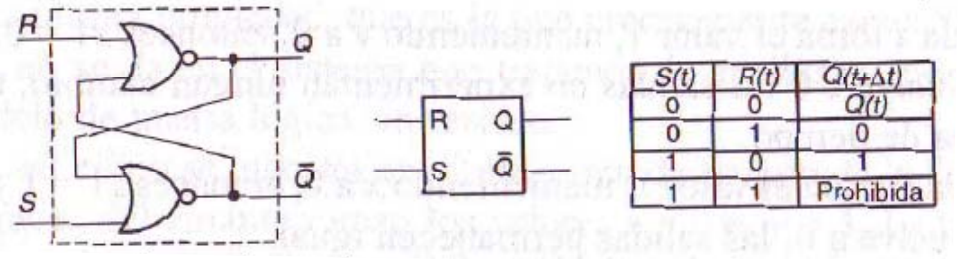
**9 - Circuitos lógicos secuenciales**

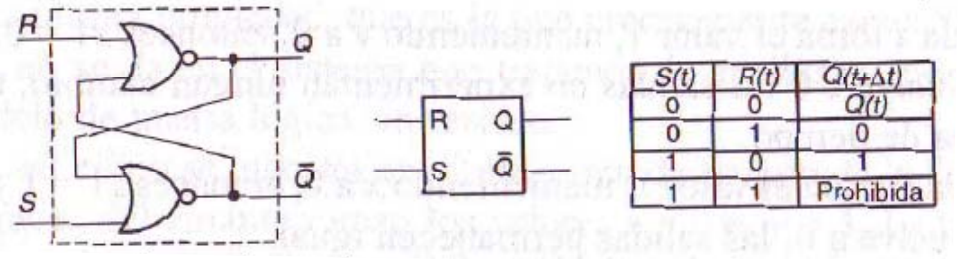
**Tipos de registros**

* **Latches:** se activan con reloj en alta/reloj en baja. (sensible a nivel)
  + La señal cambia al estar en modo transparente (normalmente, reloj en HIGH) y se mantiene estable en modo hold (norm, reloj en LOW)
  + **Inconveniente:** En un mismo ciclo de modo transparente, si es demasiado largo, podría cambiar el valor varias veces, produciendo un valor incorrecto.
* **Registros/flipflops:** Sensibles a los flancos (flanco positivo/negativo). Se construyen mediante latches. Son más útiles.

**Biestable mediante inversores**

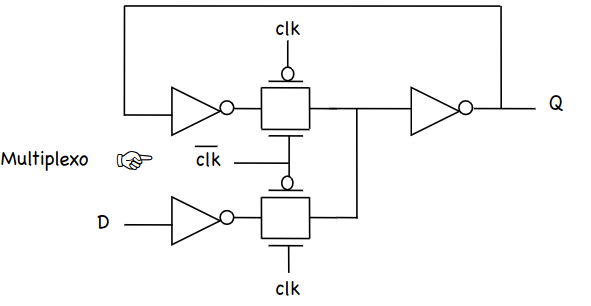
* El acoplamiento cruzado de dos inversores da lugar a un circuito biestable (dos estados estables)
* Requiere intervención exterior para cambiar el valor del estado. Dos estrategias:
  + **On-line:** Introduce un cambio entre los inversores mientras está en funcionamiento
  + **Off-line:** Pausa el mecanismo temporalmente, introduce el valor deseado y lo reanuda.

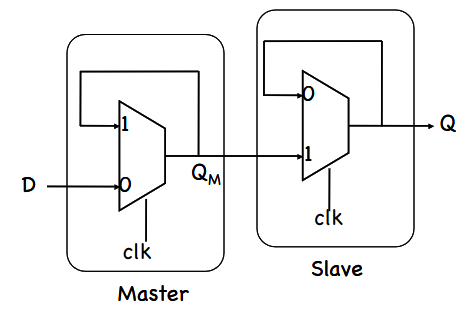
**Ejemplo:Latch SR (On-line)**

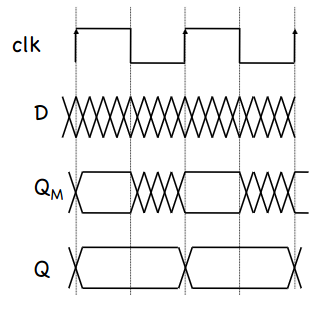
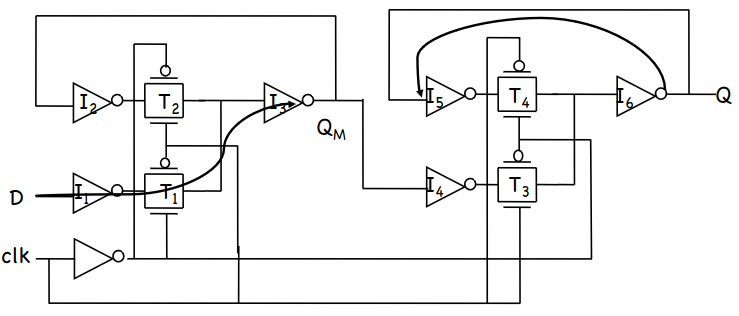


Q = ¬(RCK + Q)

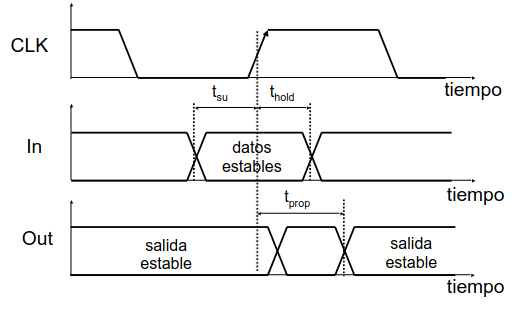
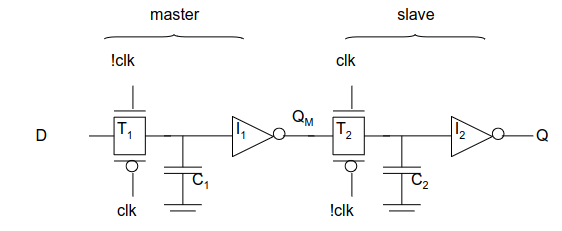
**Latches off-line**

* Se cambia de estado rompiendo el lazo de realimentación, mediante un multiplexor
* (en imagen) un latch negativo, transparente cuando el reloj está en baja. 
  + Un latch positivo sería intercambiando 0 y 1, y sería transparente con el reloj en alta.
* Se puede implementar un multiplexor mediante puertas de transmisión:
  + Es necesario pasar la señal de reloj a ambas partes de la puerta de transmisión. De esta forma, los distintos ciclos quedan bien separados y no se produce ninguna indeterminación donde ambos inversores están conectados uno con el otro, produciendo un sistema inestable cuya salida dependería de sus retardos.

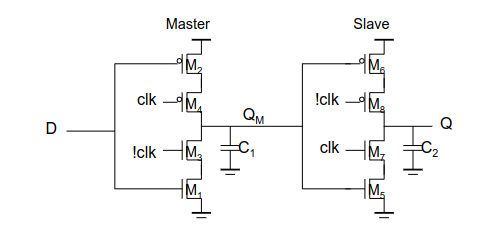
**Flipflop disparado por flanco (master-slave)**

* Compuesto por dos latches, siendo uno master y otro slave. El S tomará como entrada la salida del M.
* Ejemplo:
  + Siendo M transparente en clk=0 y S transparente en clk=1
  + El resultado es que la salida de S sólo cambia en flanco de subida.

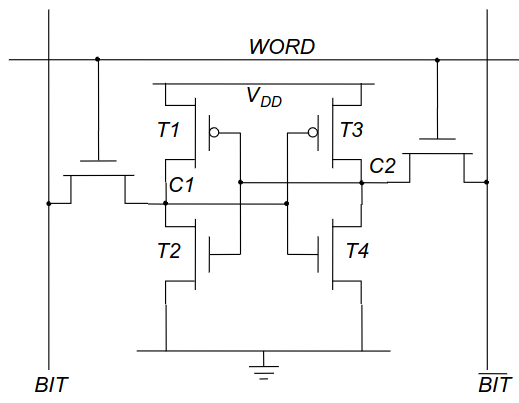
**Caracterización de flipflop I**

* Sean tpd\_inv los retardos de los inversores y tpd\_txx los retardos de las puertas de transmisión
* **Tiempo de set-up (tsu) -** Tiempo anterior al flanco positivo para el que los datos D deben ser válidos.
  + 3\*tpd\_imv + tpd\_tx
* **Tiempo de mantenimiento (thold)** tiempo posterior al flanco positivo que debe mantenerse la entrada D. Suele ser 0.
* **Retardo de propagación (tprop):** Tiempo que tarda QM en propagarse a Q
  + tpd\_inv + tpd\_tx (sólo un inversor, se considera que el inversor I4 ya ha sido pasado antes de empezar a contar tprop)
* **Registro dinámico:** Utilizan condensadores cuya carga almacena el dato guardado. Sin embargo, mantienen el dato sólo temporalmente debido a fugas.
  + tsu = tpd\_tx, tc-q= 2tpd\_inv + tpd\_tx

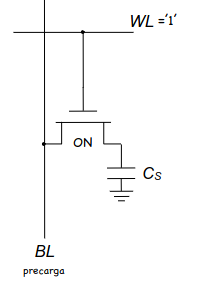
**Clock Skew I**

* Fenómeno observado en circuitos síncronos, donde CLK y ¬CLK no cambian de valor simultáneamente, por lo que las señales de reloj no llegan al mismo tiempo a los componentes.
  + **Solapamiento 1-1:** Existe un instante donde ambas son 1
  + **Solapamiento 0-0:** Existe un instante donde ambas son 0
* Para crear un registro insensible al clock-skew, se puede crearlo sin utilizar ¬CLK. Otra alternativa: (DE ESTO SOLO ENTRA DEFINICION. NIN SIQUERA IDENTIFICAR SE UN CIRCUITO É SENSIBLE OU NO. FREE FOR THE GOAT)

**10 - Memoria de estado sólido**

**Celda RAM estática (SRAM) III**

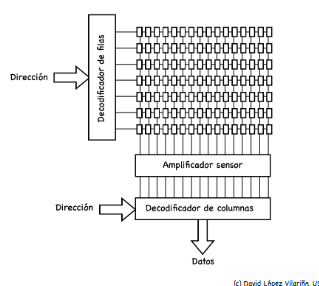
* La señal ‘WORD’ indica si se lee la celda representada o no.
* Cada una de las celdas almacena un bit en memoria
* Para leer, primero se precarga BIT y ¬BIT a 1.
  + De esta forma, cuando se activan los transistores (cuando WORD=’1’) si la señal interna es un 1 se leerá un 1 (no cambia), y si es un 0 el ‘1’ lógico de BIT se descargará al contactar con tierra y se convertirá en 0. De cualquier forma, BIT tomará el valor de C1 y ¬BIT el de C2.
  + Este proceso se denomina ‘descarga condicional’. Al producirse, temporalmente fluye corriente por C2 por lo que, si tenía un 0, durante un momento su valor pasará a ‘1’ y luego se corrige. Esto puede ser un **follón** bien grande, debido a que durante ese momento se varía la entrada de C1.[[19]](#footnote-18)
  + Denominamos VIL al valor de tensión máximo que se produce en el **follón**. Para minimizarlo, requerimos que la resistencia de TW sea mucho mayor que la ofrecida por T4
* Para escribir, se precarga el dato a escribir en BIT y su negado en ¬BIT.
  + Se activa WORD. El proceso es el mismo que en la lectura, produciéndose descarga condicional, y C1 toma el mismo valor que BIT.
  + En la transición ‘1’-->’0’, se produce otro **follón**. Para minimizar el efecto del follón, la resistencia de T3 debe ser mucho mayor que la de TW (en este caso, queremos que a variación de tensión sea grande para que si se detecte o cambio, que antes queríamos evitar.

**Celda RAM dinámica (DRAM)**

* Utiliza un condensador para almacenar la memoria.
* **Escritura:** Se carga Cs activando WL y poniendo el valor correcto en BL
* **Lectura:** Se precarga BL y se activa WL. Así, se distribuye la carga entre CS y CBL, por lo que BL toma el valor de Cs.
  + Sin embargo, al hacer esto se destruye lo almacenado en Cs.

**Diferencias DRAM/SRAM**

* Las celdas DRAM tienen una línea de acceso (BL) en contraste con las SRAM
* La operación de lectura en DRAM es destructiva, requiere operaciones adicionales
  + Además, requiere una capacidad adicional para almacenar el dato, y también un amplificador sensor (necesario en DRAM, opcional en SRAM) **II** por bitline para la distribución de carga
* La memoria SRAM tiene más transistores (más costosa)

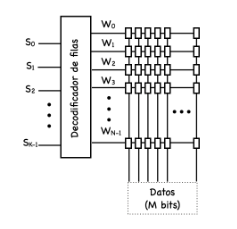


**Circuitos periféricos**

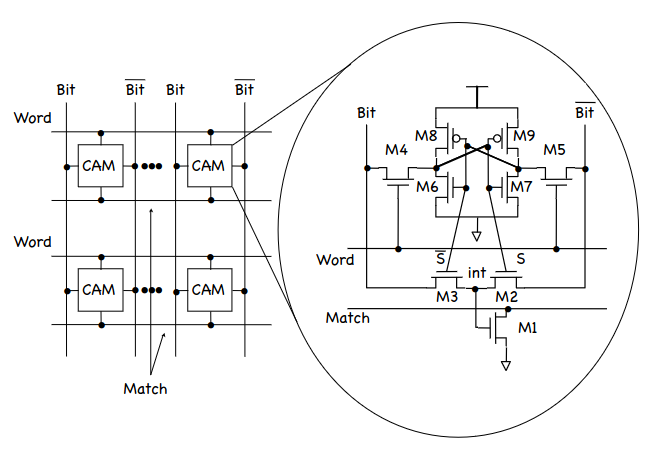
* Amplificador sensor
* Decodificador de filas
* Decodificador de colimnas

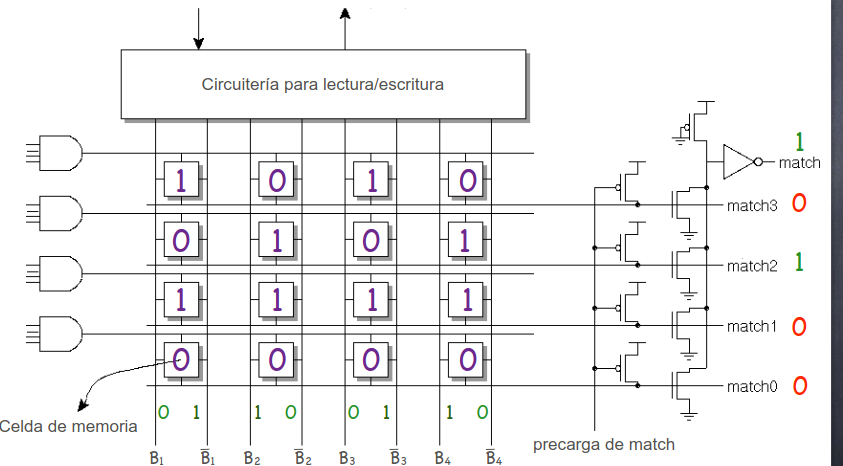
**Amplificador sensor**

* Es necesario en las DRAM, y aumenta el rendimiento de las SRAM.
* Se coloca entre BL y la salida, estando conectado a una fuente VDD/2
  + Si VBL>VDD/2, VOUT=VDD
  + Si VBL<VDD/2, VOUT=VDD

**Decodificadores**

* Reducen el número de líneas de selección.
* N palabras → K=log2N líneas de selección
* Idealmente, se busca que nºcolumnas=nºfilas

**Memorias CAM**

* **Operación Match**: devuelve 0 si el dato no está en la celda
  + El dato a buscar se pasa en las líneas bit
  + Si el dato no está en la celda, N3 ON, por lo que match=0
* Una memoria contiene varias celdas CAM, agrupadas en palabras. Una serie de celdas CAM permiten buscar una palabra completa. Ejemplo: búsqueda de 0101

1. no preocupar demasiado :) [↑](#footnote-ref-0)
2. importante :o [↑](#footnote-ref-1)
3. na foto os polos de Vx están ao reves [↑](#footnote-ref-2)
4. basicamente porque a resistencia que está na entrada do amplificador é moi grande asi que a corriente en vez de pasar por ahí pasa toda por I2. por eso I1=I2. e como en ningun dos dous polos do amplificador, a diferencia de tensión entre ambos polos do ampf é 0. na configuracion inversora o polo positivo está en terra, asi que eso significa que vx=0. na confiruacion non inversora, o polo positivo está conectado a vi, polo que vx=vi [↑](#footnote-ref-3)
5. Un inversor sería un amplificador operacional con realimentación negativa en configuración inversora con dos resistencias de igual valor R (A=(-R/R)=-1) [↑](#footnote-ref-4)
6. [↑](#footnote-ref-5)
7. Huecos en la zona P, y electrones en la zona N. [↑](#footnote-ref-6)
8. Salen electrones de la zona N y, como entran en la zona P, salen huecos de la zona P. [↑](#footnote-ref-7)
9. esto preguntao! [↑](#footnote-ref-8)
10. En este caso, la corriente entra en el lado N en forma de electrones y entra en forma de huecos por P. [↑](#footnote-ref-9)
11. Entonces, si se supone que el diodo está en OFF y se establece que Id=0 y resulta que en el circuito resultante Vd>V0, será una contradicción, y nos indique el diodo debe estar en ON, y que Vd=Vy.

    Este criterio se debe aplicar a todos los diodos para encontrar cuales están en OFF y cuales en ON. [↑](#footnote-ref-10)
12. Si Vi<0, para que el diodo esté en directa debería estar al revés de en la imagen. En este caso, la ecuación sería Vo= +nVTln(-Vi/IsR). (se cambia el signo de Vo y de Vi) [↑](#footnote-ref-11)
13. N viene de que el canal es un semiconductor tipo N, [↑](#footnote-ref-12)
14. nota: 1 m = 10³ mm = 10⁶ μm = 10⁹ nm = 10¹² pm = 10¹⁵ fm [↑](#footnote-ref-13)
15. Tener en cuenta que N impar invertirá la entrada. Si el dispositivo que se optimiza es un inversor, se debe dejar N impar. [↑](#footnote-ref-14)
16. En la implementación con NMOS, en los estados donde la salida de la función debería ser 1, se conecta F con VDD.En el caso de la implementación con PMOS, no está garantizado que cuando F=0 la salida se baje. [↑](#footnote-ref-15)
17. Se toma 2R porque, habitualmente, Rp=2RN. Non ten que ver co de arriba de alto/bajo. [↑](#footnote-ref-16)
18. En algunos ejercicios, se indica el valor del retardo (ej: retardos menores de 1 ns) [↑](#footnote-ref-17)
19. todo esto do **follón** non está nas traspas nin idea de se entra. o tipo doulle muitisima importancia

    nos exámenes si ten entrado. igual o queres explicar mellor do que está ahora porque non sei eu se che dará por ben esto de **follón** [↑](#footnote-ref-18)